

1. INTRODUZIONE AL CORSO E RICHIAMI TEORICI

1.1 Problematiche dei Sistemi di Controllo “reali”

Lo studio dei Controlli Automatici, sia nella loro versione "classica" che nella più moderna Teoria dei Sistemi, ha come obiettivo la realizzazione di un sistema di controllo che, opportunamente connesso ad un sistema dinamico dato, consenta di definire il comportamento dinamico e statico del sistema complessivo così ottenuto, in modo da soddisfare alcune specifiche. Al fine di ottenere ciò, si pongono delle notevoli basi teoriche, che riguardano la rappresentazione dei sistemi dinamici, la caratterizzazione di loro importanti proprietà, le metodologie per lo studio della stabilità e quelle per il progetto delle leggi di controllo. Lo studio affrontato parte però da una serie di ipotesi di cui, forse, non ci si rende assolutamente conto. Anzitutto, pur con qualche eccezione, lo studio dei controlli automatici si limita ad una classe assai ristretta di sistemi, ovvero quelli lineari, tempo invarianti, causali e con funzione di trasferimento razionale. Inoltre, raramente è stato chiesto di ricavare il modello del sistema da controllare, bensì questo veniva dato come noto a priori. Infine, non ci si è mai posto il problema di cosa rappresentasse il semplice fatto di connettere l'uscita del regolatore progettato all'ingresso del processo, nè tantomeno ci si è preoccupati di sapere come andassero misurate le uscite dello stesso. In pratica, dato un processo $P(s)$ che soddisfa alle caratteristiche sopra menzionate ed una delle strutture di sistema di controllo riportate in fig. 1.1, si sono apprese le tecniche per il progetto del regolatore, sia esso in forma di sistema dinamico con funzione di trasferimento razionale $R(s)$, in forma di matrice di guadagni con cui retroazionare lo stato all'ingresso o quant'altro. Si noti che, in estrema sintesi, scopo del controllore è quello di “riposizionare” i modi del sistema in posizioni tali da fare ottenere le prestazioni volute a catena chiusa. Tali prestazioni vengono usualmente espresse in termini di prestazioni ingresso-uscita (ad esempio banda passante, sovraelongazione, tempo di salita etc) o di reiezione ai disturbi.

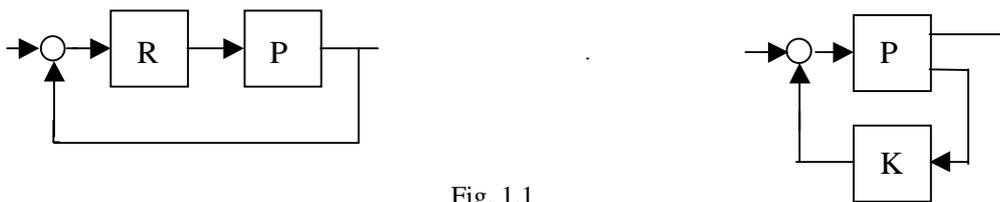


Fig. 1.1

Scopo del corso di Ingegneria e Tecnologia dei Sistemi di Controllo è quello di fornire allo studente una metodologia e degli strumenti per affrontare tutte le fasi del progetto e realizzazione di un sistema controllo per un processo, di cui il progetto del regolatore, menzionata sopra, è solo una parte. Inoltre si intende dare una panoramica più completa possibile su ciascun elemento che costituisce un sistema di controllo "reale", quello nel quale, cioè, i sistemi da controllare sono reali e non astratti, le variabili non sono entità astratte, bensì grandezze fisiche ed il regolatore non è un sistema di equazioni, bensì un dispositivo fisico.

Al fine di esemplificare quanto appena detto, si tenga conto di alcuni fattori che distinguono i sistemi astratti con cui si è avuto a che fare nei corsi precedenti di Teoria del Controllo da quelli che si incontrano nella realtà:

- Il modello matematico del processo da controllare è generalmente sconosciuto e deve essere definito “ex novo” sulla base della fisica del sistema;
- Il processo è lineare solo in un campo limitato;
- Il processo è tempo variante;
- Il processo contiene ritardi (non è rappresentabile con una funzione di trasferimento razionale);
- Il sistema è soggetto a disturbi di varia natura;

Altro fattore spesso trascurato nello studio della Teoria del Controllo è che le grandezze fisiche in ingresso e in uscita dal processo non sempre sono compatibili con quelle in uscita e in ingresso al regolatore, rispettivamente. Il modello del sistema di controllo (SdC nel seguito) ideale di fig.1.1 dovrà perciò essere integrato con alcuni blocchi funzionali aggiuntivi, indispensabili per eseguire adattamenti in potenza e/o trasformazioni di grandezze fisiche e al fine di interfacciare correttamente il processo con il regolatore.

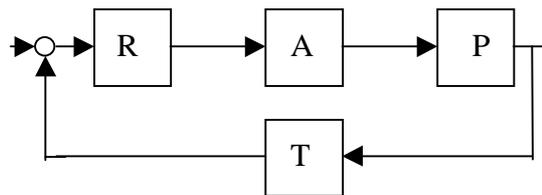


Fig 1.2

Come si vede da Fig. 1.2, nel modello di SdC reale compaiono due nuovi blocchi che definiamo di seguito:

- A Attuatore:** Sistema atto a convertire l’uscita del regolatore in un segnale compatibile con gli ingressi del processo
- T Trasduttore:** Sistema atto a convertire la variabile di uscita in un segnale compatibile con gli ingressi del regolatore

La progettazione del regolatore richiede, inoltre, la completa conoscenza dei modelli matematici di tutti gli altri componenti del sistema:

- P Processo:** modellizzabile come sistema di equazioni integro-differenziali, ottenute dall’analisi dei fenomeni fisici che sono coinvolti nel sistema
- R Regolatore:** nel seguito, ci si riferirà ad un numero limitato di classi di regolatori, ovvero quelli di tipo elettronico analogico e quelli digitali. Anche per questo elemento del SdC si dovrà tener conto di eventuali caratteristiche di non-idealità.

A sostegno di questa ultima affermazione, si riporta l’esempio del “compensatore algebrico” implementato in forma elettronica: un semplice regolatore

“analogico” che impiega un amplificatore operazionale in configurazione non invertente per espletare la moltiplicazione per un fattore costante (Fig. 1.3).

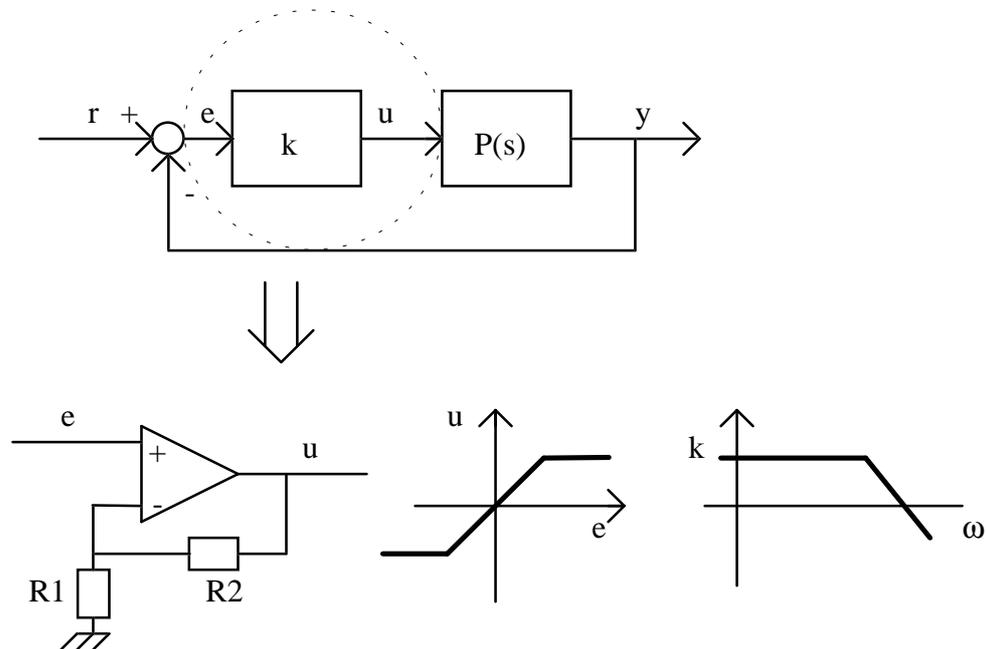


Fig. 1.3

Appare ovvio come l'amplificatore operazionale non ideale, costruito con componenti reali e alimentato con tensione finita, manifesti inevitabilmente una limitazione in frequenza, un limite superiore per la tensione d'uscita (saturazione dell'uscita), oltre ai problemi del rumore e dell'offset.

1.2 Passi fondamentali della progettazione di un Sistema di Controllo

Date le considerazioni esposte sopra, è chiaro come sia necessario anteporre alla fase di progetto del regolatore un'analisi approfondita di tutti gli elementi che costituiscono il processo da controllare, i sensori da usare, gli attuatori disponibili ecc.. Nell'ingegneria del controllo, quindi, la progettazione del regolatore è solo una di molte fasi necessarie per portare a compimento la realizzazione del SdC. IN pratica, le fasi che concorrono alla progettazione del SdC possono essere riassunte nelle seguenti:

1) ANALISI DEL SISTEMA :

Qui si fa una analisi per lo più qualitativa del sistema da controllare. Se ne individuano ingressi ed uscite (in senso generalizzato, intendendo il disturbo come un ingresso non manipolabile), le grandezze da controllare, e gli obiettivi del controllo. Sulla base degli obiettivi, si può anche stabilire quale sarà il livello di dettaglio con cui sarà necessario descrivere il sistema. Ad esempio, se si accinge al progetto del controllo della posizione in braccio meccanico, può essere trascurato, a livello macroscopico, il fenomeno dell'agitazione termica degli atomi del materiale con cui il braccio è costruito. Può essere più utile, invece, tenere conto aggiungere al semplice moto rigido

del braccio una descrizione dei moti oscillatori dovuti alle elasticità strutturali, qualora sia di interesse il posizionamento estremamente preciso.

2) *MODELLIZZAZIONE DEGLI ELEMENTI DEL SISTEMA :*

In questa fase avviene la stesura del “modello matematico” del sistema, ottenuto direttamente dalle leggi fisiche che ne descrivono il comportamento. Ciò su cui si concentra l’attenzione in questo secondo punto non è tanto l’aspetto “quantitativo” del problema, ma la sua impostazione in termini matematici “parametrici”, delegando all’analisi successiva la “stima” dei parametri incogniti che compaiono nelle equazioni. Come esempio, si supponga che il sistema sotto analisi sia un corpo rigido in caduta libera (“caduta di un grave”): a questo livello di studio è sufficiente la descrizione $F=m \cdot g$ limitandosi a considerare m come un parametro incognito. A questo livello saranno anche individuate le eventuali “non idealità” di ciascun elemento, in termini di non linearità, variabilità nel tempo, presenza di ritardi ecc.

3) *IDENTIFICAZIONE E VALIDAZIONE DEI MODELLI PER LE PARTI INCOGNITE :*

Avendo a disposizione la struttura matematica del modello del sistema, è possibile procedere alla “identificazione” delle parti incognite (facendo riferimento all’esempio precedente, la massa m) estrapolando l’informazione voluta dall’osservazione Ingresso/Uscita del sistema sotto analisi (Fig. 1.4).

A questo punto è opportuno verificare la bontà del lavoro compiuto (validazione), operando un confronto fra l’uscita del sistema reale e l’uscita del modello, sottoposti allo stesso ingresso.

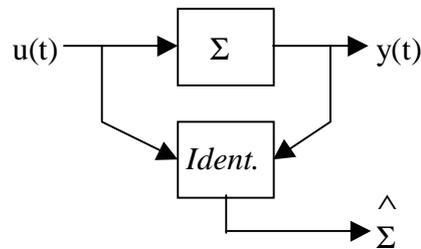


Fig. 1.4

Qualora l’esito della validazione fosse negativo, potrà essere necessario ritornare al punto (2) onde ricercare una modellizzazione più corretta. Questo significa che il modello definito in precedenza andrà opportunamente arricchito con la descrizione di fenomeni che si ritenevano trascurabili in prima istanza.

4) *PROGETTAZIONE DEL REGOLATORE :*

Una volta identificato un modello sufficientemente aderente alla realtà, si può passare alla progettazione del regolatore, che può avvenire con una delle tecniche note. Si noti che la quasi totalità di queste ultime è utilizzabile solo nel caso di sistemi lineari, tempo-invarianti e a dimensione finita. Nel seguito, verranno introdotti degli strumenti che consentiranno di analizzare sistemi “non ideali” ed eventualmente di progettare per questi opportune leggi di controllo.

5) *SIMULAZIONE :*

Questa è una fase “cruciale” nello sviluppo di un SdC che caratterizza tutte le procedure ingegneristiche moderne: il modello del sistema, tradotto in termini di una serie di equazioni che vengono risolte per via numerica, subisce un “test funzionale” virtuale che costituisce l’ultima “validazione” prima della implementazione reale.

Di regola si assume che il funzionamento del SdC in simulazione sia condizione necessaria ma non sufficiente per il funzionamento reale (anche se in qualche situazione particolare può valere il contrario)

Se l’esito della simulazione è negativo, questo può significare che si è commesso un errore nella fase di progetto, per cui bisogna riprogettare il regolatore.

6) *IMPLEMENTAZIONE E VERIFICA SPERIMENTALE :*

Una volta validato in simulazione, il regolatore va provato sul campo. Questo significa tradurre in un circuito o in un programma per calcolatore (nel caso digitale) le funzionalità del regolatore progettato al punto 4. Dopo di questo, il regolatore va connesso al sistema e si effettuano delle procedure di test.

In questo caso è interessante notare come le differenze tra i risultati di simulazione e quelli reali siano dovuti essenzialmente alle differenze tra il modello dei componenti del sistema di controllo e le caratteristiche reali degli stessi. Un esito negativo delle prove sperimentali dovrà perciò portare a rivedere la modellizzazione del sistema effettuata al passo 2, arricchendo il modello con particolari che si erano erroneamente ritenuti trascurabili.

1.3 Richiami di Controllo Digitale

Si ritiene opportuno anteporre a tutta la trattazione dei vari argomenti del corso alcuni richiami della teoria del controllo digitale, che torneranno utili in seguito e che possono essere approfonditi dallo studente sui testi citati in bibliografia, alla fine del capitolo. Il motivo di tale anticipazione sta anche nel fatto che nell’attività di laboratorio si farà uso di sistemi digitali di controllo, per il cui uso “consapevole” è necessario avere un minimo di basi teoriche.

Per controllo digitale diretto (DIRECT DIGITAL CONTROL, DDC) s’intende un sistema di controllo a controreazione nella quale la funzione del regolatore è svolta in modo numerico da un opportuno dispositivo digitale programmabile. Nel seguito si farà riferimento ad un sistema basato su microprocessore.

Cio' corrisponde a considerare uno degli schemi di figura 1.5.

La funzione di controllo, che nei sistemi analogici è svolta da un regolatore elettronico (o pneumatico), viene qui eseguita da un algoritmo che, dalla conoscenza del riferimento e del valore acquisito dell’uscita, calcola il comando da applicare al processo attraverso l’attuatore.

Poichè i dispositivi programmabili digitali impiegano un tempo non nullo per eseguire i calcoli, è ovvio che l’elaborazione non possa avvenire in tempo reale come nei regolatori analogici, infatti, una nuova elaborazione può avvenire solo quando è finita quella precedente. Ciò comporta che i segnali che entrano nel calcolatore

devono essere discreti nel tempo (campionati), che assumono cioè valori in istanti discreti del tempo (nella maggior parte delle applicazioni questi istanti si susseguono ad intervalli costanti). Inoltre i dati che vengono introdotti nel dispositivo digitale devono essere numeri rappresentati in un codice previsto dal dispositivo stesso.

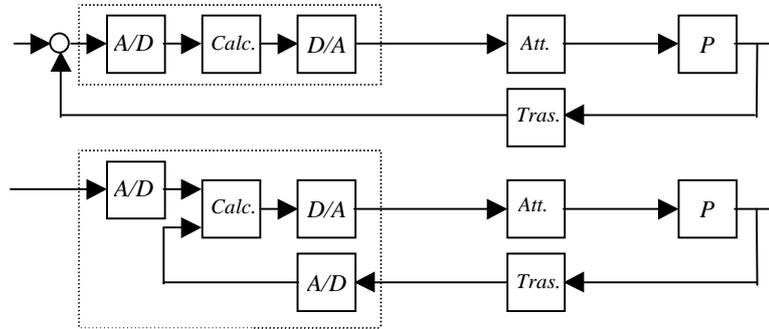
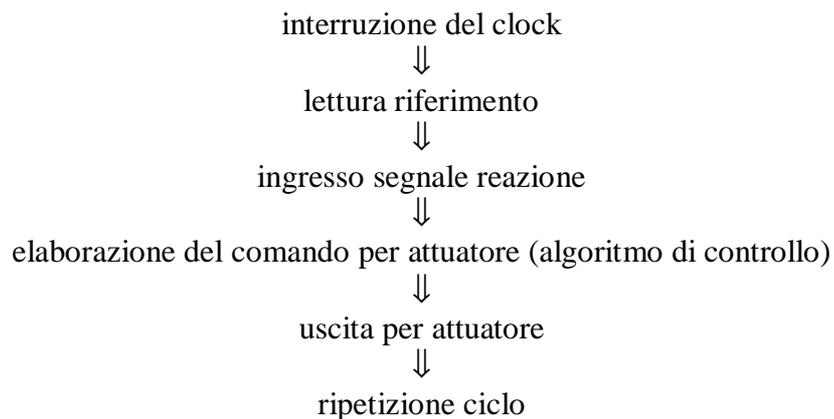


Fig. 1.5

In alcuni casi è lo stesso trasduttore che fornisce in uscita un dato numerico ad intervalli fissi di tempo, ma nel caso più generale di segnali di retroazione analogici, si deve far ricorso ad un hardware elettronico che provveda al campionamento del segnale di uscita dal trasduttore (entrata al micro) ed alla sua conversione in numero. Per l'uscita, (entrata dell'attuatore) il dato numerico dall'algoritmo deve essere convertito in un segnale analogico. In alcuni casi il problema dell'interfaccia di uscita (dall'algoritmo) risulta molto semplice in quanto l'attuatore è del tipo digitale, in grado, cioè, di accettare in ingresso una variabile di comando espressa sotto forma di numero.

In ogni caso, il segnale di uscita dall'algoritmo di controllo è del tipo costante a tratti, il suo valore viene cioè aggiornato ad istanti discreti del tempo, generalmente ad intervalli regolari.

Il diagramma di flusso del programma dell'algoritmo è il seguente:



Dove l'interruzione è fornita da un clock (Real Time Clock RTC) che determina il periodo di campionamento e si è supposto che il riferimento (ad esempio costante, Set Point) sia già in forma digitale.

1.3.1 Vantaggi offerti dall'impiego del calcolatore come regolatore

- **CAPACITA' ELABORATIVA**

La potenza di calcolo offerta dal microprocessore consente l'implementazione di leggi di controllo anche molto complesse;

E' possibile usufruire del "data-logging" : immagazzinamento di dati per successive rielaborazioni, disponibilità di una "interfaccia utente" più o meno "friendly", ecc.;

Sono inoltre applicabili procedure automatiche per la taratura a la "diagnostica" del sistema.

- **FLESSIBILITA'**

Possibilità di variare i parametri o l'intera struttura del regolatore semplicemente modificando il software di programmazione (vantaggio di disporre del sistema in forma "matematica-astratta" piuttosto che in forma fisica-reale).

- **AFFIDABILITA' E RIPETIBILITA'**

Le caratteristiche intrinseche della elaborazione numerica dei segnali ne fanno uno strumento "non deteriorabile", in grado di mantenere invariate le proprie caratteristiche nel tempo. Inoltre, la natura stessa del software ("pura" informazione immateriale) conferisce ad esso la proprietà di ripetibilità.

- **SENSIBILITA' E IMMUNITA' AI DISTURBI**

La "sensibilità" è una caratteristica del SdC da imputare sostanzialmente al convertitore A/D: può raggiungere valori estremamente piccoli, a seconda del n° di livelli utilizzati nella discretizzazione delle ampiezze.

Per quanto riguarda l'immunità ai disturbi, è ovvio come un segnale in forma numerica (composto da bit) risenta molto meno dell'effetto del rumore di quanto non faccia l'equivalente analogico-continuo; inoltre la codifica rende molto più semplice l'eventuale problema di trasmissione.

1.3.2 Svantaggi che comporta l'impiego del calcolatore come regolatore

- **PROGETTAZIONE PIU' DIFFICILE**

L'ingegnerizzazione di un SdC basato su calcolatore tocca varie "branche" della tecnica informatica-elettronica : utilizzo di tecniche di discretizzazione con inevitabile riferimento alla teoria del campionamento, ricorso alle metodiche di elaborazione numerica del segnale, conoscenza di linguaggi di programmazione a livello sufficientemente basso (problema del real-time) ecc.

- **INTERVENTI DI CONTROLLO DISCONTINUI**

L'inevitabile passaggio "tempo continuo -> tempo discreto" implica che l'azione del regolatore sia calcolata esclusivamente in base ai campioni dell'ingresso, ignorando l'andamento di quest'ultimo all'interno degli intervalli temporali (kT , $(k+1)T$): eventuali problemi di instabilità che dovessero interessare l'interno degli intervalli temporali, sarebbero letteralmente "fuori controllo".

- **LIMITAZIONE IN BANDA**
Il campionamento chiama in causa il Teorema di Shannon, che fra le proprie ipotesi include quella della rigorosa limitazione in banda (onde evitare “aliasing”) del segnale da discretizzare temporalmente.
- **BLOCCHI IMPREVISTI DELL’ELABORAZIONE**
A causa di interrupt spuri, il repentino blocco della elaborazione (e quindi del controllo) non è un fatto impossibile. E’ da imputare soprattutto ad una programmazione non sufficientemente accurata che non preveda ogni possibile situazione “anomala”.
- **DIFFICOLTA’ AD ACCEDERE A VARIABILI INTERNE**
Alcuni “parametri funzionali” del sistema possono risultare “nascosti” nelle righe di programma e pertanto difficilmente accessibili dall’operatore, in particolar modo se si pretende di apportare variazioni in tempo reale.
Se il regolatore fosse implementato con elettronica analogica in tempo continuo, il progettista avrebbe previsto l’accesso “fisico” ai parametri di regolazione ricorrendo a soluzioni circuitali quali microswitch, trimmer, condensatori variabili, ecc.
- **NECESSITA’ DI USARE ENERGIA ELETTRICA**
Mentre in molti casi un regolatore analogico-continuo può essere benissimo costituito da soli componenti elettronici “passivi” o con sistemi pneumatici, che non necessitano di alimentazioni elettriche esterne, l’equivalente versione “digitale” fa ovviamente ricorso ad un calcolatore dotato inevitabilmente di alimentazione esterna.

1.3.2 Analisi dei segnali

Con riferimento allo schema di un sistema di controllo digitale diretto (o DDC) si può osservare che esso risulta composto, nella maggior parte dei casi, da una parte (attuatore, processo e trasduttore) tempo continuo, mentre il regolatore è tempo discreto. Inoltre, sono presenti segnali di vario tipo, digitali all’interno del regolatore ed analogici all’esterno, e compito dell’interfaccia è quello di provvedere alla conversione dei segnali. E’ necessario perciò, caratterizzare in modo matematico queste conversioni di segnale che sono, d’altra parte, ben note nel campo della Teoria dei Segnali e delle Comunicazioni Elettriche.

Classificazione dei segnali nel tempo

Segnale deterministico: è rappresentato da una funzione reale di variabile reale nella quale la variabile indipendente è il tempo che verrà indicato con t .

Segnali tempo-continui: la variabile indipendente t (tempo) assume tutti i valori di un insieme continuo, ad esempio l’intero asse reale. L’espressione formale è $s=s(t)$.

Segnali tempo-discreti: la variabile t assume valori in un insieme numerabile $\{tk\}$ dove k è un numero intero. Essi sono rappresentati con $s=s(tk)$

oppure come sequenza temporale $\{s_k\}$. Nella maggior parte delle applicazioni gli istanti t_k distano tra loro di un intervallo fisso T , in tal caso si usa anche la notazione $s=s(kT)$ oppure $s=s(k)$.

Classificazione dei segnali in ampiezza

Segnali continui in ampiezza : la variabile dipendente tutti i valori in un insieme continuo.

Segnali discreti in ampiezza (o quantizzati): la variabile dipendente assume valori in un insieme numerabile che, nella maggioranza dei casi, e' finito.

I segnali deterministici possono quindi essere classificati in :

Segnali analogici : segnali continui nel tempo ed in ampiezza. Ad esempio l'uscita controllata della catena DDC, l'uscita di un potenziometro ecc.

Segnali quantizzati : segnali tempo continui e discreti in ampiezza, come, ad esempio, i segnali di comando dell'attuatore che sono ottenuti dalla conversione digitale-analogica del dato numerico elaborato dell' algoritmo.

Segnali digitali (o numerici) : segnali discreti sia nel tempo che in ampiezza, come, ad esempio, i dati elaborati dall'algoritmo di controllo di un anello DDC.

Segnali discreti : segnali discreti nel tempo e continui in ampiezza. Un esempio di segnale discreto e' la frequenza istantanea di un treno di impulsi che vengono generati negli istanti di tempo t_k , e definita da :

$$f(k) = \frac{1}{t_k - t_{k-1}}$$

Trasformazioni dei segnali

Le principali conversioni (o trasformazioni) di segnali in un anello DDC sono le seguenti nel dominio del tempo e della ampiezza:

nel dominio del tempo :

- *campionamento* : da tempo continuo a tempo discreto
- *interpolazione* : da tempo discreto a tempo continuo

in ampiezza :

- *quantizzazione*: da continuo a discreto in ampiezza

Ritornando allo schema di fig. 1.5, il ruolo dei convertitori A/D e D/A è quello di trasformare segnali analogici in segnali numerici e viceversa, operando una serie di trasformazioni. Nello schema di fig. 1.6 si riporta lo schema logico di un convertitore A/D, dove sono posti in serie un campionatore, un quantizzatore ed un

convertitore, quest'ultimo per tradurre un numero finito di livelli in un corrispondente intero binario.

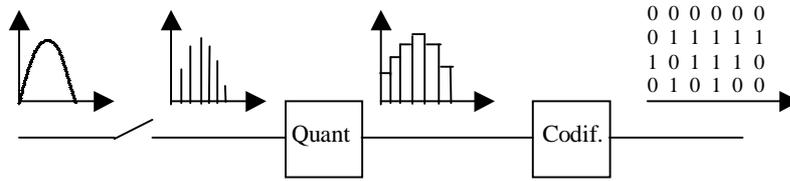


Fig. 1.6

Vediamo ora di descrivere le caratteristiche di ciascuno degli elementi che consentono di passare da un tipo di segnale all'altro.

Campionatore:

La schematizzazione mediante “interruttori” si presta molto bene a visualizzare il funzionamento del campionario (a periodo T), sia esso ideale (a tempo discreto $Z(T)$), sia impulsivo (a tempo continuo):

CAMPIONATORE IDEALE

$$\overbrace{x(t), t \in \mathfrak{R}}^{\text{switch}} \quad \overbrace{x(kT), k \in \mathbb{Z}}$$

Il dominio del segnale campionato in questo caso è $Z(T)$

CAMPIONATORE IMPULSIVO

$$\overbrace{x(t), t \in \mathfrak{R}}^{\text{switch}} \quad \overbrace{x(kT)\delta(t-kT), t \in \mathfrak{R}}$$

Il dominio del segnale campionato in questo caso è \mathfrak{R} (continuo)

Fig. 1.7

Il modello di campionario impulsivo, che sostanzialmente è quello che meglio si adatta a descrivere la situazione reale, va analizzato più in dettaglio, al fine di mettere in evidenza il fattore moltiplicativo $1/T$ che caratterizza il segnale campionato; a tal proposito si ricorre all'analisi spettrale ricorrendo allo sviluppo in serie di Fourier di $\delta_T(t)$ (è un segnale periodico, pertanto sviluppabile):

$$x^*(t) = x(t) \underbrace{\sum_{i=-\infty}^{+\infty} \delta(t-iT)}_{\delta_T(t)} = x(t)\delta_T(t) \quad (1.1)$$

Posto $\omega_s = 2\pi/T$, lo sviluppo in serie di Fourier di $\delta_T(t)$ così si presenta :

$$\delta_T(t) = \sum_{i=-\infty}^{+\infty} c_i e^{ji\omega_s t} \qquad c_i = \frac{1}{T} \int_0^T \delta_T(t) e^{-ji\omega_s t} dt = \frac{1}{T}$$

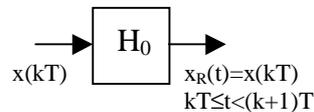
$$\Rightarrow x^*(t) = \frac{1}{T} \sum_{i=-\infty}^{+\infty} x(kT) e^{ji\omega_s t} \qquad (1.2)$$

Il quale, Laplace-trasformato fornisce :

$$L[x^*(t)] = X^*(s) = \frac{1}{T} \sum_{i=-\infty}^{+\infty} X(s - ji\omega_s) \qquad (1.3)$$

Si noti il coefficiente moltiplicativo $1/T$, che verrà esattamente a semplificarsi con T , fattore moltiplicativo che compare nella risposta frequenziale dell'holder : per dimostrare questo, si procede con l'analisi del blocco di uscita regolatore, dispositivo al quale è delegato il compito di ridare continuità al segnale impulsivo rendendolo costante a tratti mediante la tecnica interpolativa di zero-holding:

Fig.1.8 : INTERPOLATORE “ZERO HOLDER”



Volendo dare una rappresentazione dello zero-holder nel dominio della frequenza :

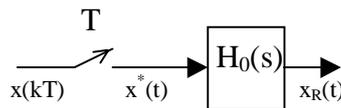


Fig.1.9

Poiché la risposta $h_0(t)$ all'impulso nel continuo $\delta(t)$ è ovviamente del tipo $rect(t-T/2)$ \Rightarrow semplice è il calcolo della trasformata di Laplace $H_0(s)$:

$$h_0(t) = rect\left(t - \frac{T}{2}\right) = 1(t) - 1(t - T) \qquad (1.4)$$

$$H_0(s) = L[h_0(t)] = L[1(t) - 1(t - T)] = \frac{1}{s} - \frac{1}{s} e^{-sT} = \frac{1 - e^{-sT}}{s} \qquad (1.5)$$

Anche solo intuitivamente è facile rendersi conto di come l'effetto di trattenuta espletato dall'holder sui valori del segnale impulsivo $x^*(t)$ costituisca ne più ne meno che un ritardo temporale, il quale può benissimo inficiare la stabilità del SdC riducendone il margine di fase. Questo fatto si dimostra analizzando più approfonditamente la struttura di $H_0(s)$:

$$H_0(s) = \frac{1 - e^{-sT}}{s} \Big|_{s=j\omega} = \frac{1 - e^{-j\omega T}}{j\omega} = Te^{-j\omega \frac{T}{2}} \frac{e^{j\omega \frac{T}{2}} - e^{-j\omega \frac{T}{2}}}{2 \frac{T}{2} j\omega} = Te^{-j\omega \frac{T}{2}} \text{sinc}\left(\omega \frac{T}{2}\right) \quad (1.6)$$



Fig.1.10

(Si è posto $\Omega=2\pi/T$) Si evince chiaramente dal grafico del modulo del sinc, come l'attenuazione introdotta dall'Holder tenda a 1 solo se $\omega \ll \Omega$.

E' inoltre evidente la consistenza del problema riguardante lo sfasamento introdotto dall'holder, cosa di cui si dovrà tenere conto nella progettazione del regolatore.

1.3.4 Segnali canonici discreti

Si definiscono ora alcuni segnali di notevole importanza per la trattazione dei sistemi discreti:

Impulso discreto unitario (delta di Kronecker): è un segnale discreto che vale 1 solo all'istante discreto 0, ovvero

$$\delta(k) = \begin{cases} 1 & k = 0 \\ 0 & k \neq 0 \end{cases}$$

La traslazione dell'impulso all'istante discreto i è espressa da:

$$\delta(k-i) = \begin{cases} 1 & k = i \\ 0 & k \neq i \end{cases}$$

ogni sequenza di valori che rappresenta un segnale discreto può essere comodamente espressa come combinazione lineare di impulsi unitari discreti opportunamente traslati:

$$s(k) = \sum_{i=-\infty}^{+\infty} s(i)\delta(k-i) = \sum_{j=-\infty}^{+\infty} s(k-j)\delta(j)$$

Gradino discreto: è definito come segue

$$1(k) = \begin{cases} 0 & k < 0 \\ 1 & k \geq 0 \end{cases}$$

Tale segnale può anche essere pensato come ottenuto dal campionamento ideale del segnale a gradino continuo. Usando le precedenti definizioni si ottiene:

$$1(k) = \sum_{i=0}^{+\infty} \delta(k-i) = \sum_{i=0}^k \delta(k-i) = \sum_0^k \delta(j)$$

da cui si ottiene anche:

$$\delta(k) = 1(k) - 1(k-1)$$

Si noti che, analogamente al caso continuo, l'impulso risulta dalla differenza prima tra due gradini, che perciò viene anche definita come "derivata discreta". La sommatoria, invece, nel caso discreto riveste il ruolo dell'integrale del caso continuo.

Si noti che spesso si usa indifferentemente la notazione $\delta_{-1}(k)$ per rappresentare il gradino discreto.

Rampe discrete lineari e paraboliche: si definiscono rispettivamente come

$$\delta_{-2}(k) = \begin{cases} 0 & k < 0 \\ k & k \geq 0 \end{cases} \quad \delta_{-3}(k) = \begin{cases} 0 & k \leq 0 \\ k^2 & k > 0 \end{cases}$$

Segnale discreto esponenziale complesso: è definito come segue

$$e^{j\vartheta k} = \cos \vartheta k + j \sin \vartheta k$$

dove ϑ è la pulsazione angolare discreta e, supponendo che il segnale derivi dal campionamento uniforme (cioè ad intervalli di tempo regolari, distanti un periodo T) di un segnale esponenziale complesso continuo, risulta

$$e^{j\omega t} = e^{j\omega k T} = e^{j\vartheta k}; \quad \vartheta = \omega T$$

1.3.5 Sistemi dinamici discreti

Ricordiamo che per sistema dinamico discreto si intende un sistema con variabili definite come segnali discreti nel tempo e nel quale la relazione tra ingresso u e uscita y è definita nel seguente modo:

$$y(k) = f\{y(k-1), y(k-2), \dots, u(k), u(k-1), \dots, k\}$$

In generale, comunque, si è interessati ad una classe ridotta di questi sistemi, in particolare a quella dei sistemi DLIT, ovvero Discreti, Lineari Invarianti nel Tempo e a dimensione finita, per i quali vale la seguente rappresentazione ARMA vista durante il corso di Teoria dei Sistemi e per la quale si dà per scontato che si sappia trovare l'uscita, a partire da condizioni iniziali date e dall'ingresso forzante:

$$y(k) = \sum_{i=1}^N a_i y(k-i) + \sum_{j=0}^M b_j u(k-j)$$

1.3.6 Approccio alla sintesi del regolatore

Come si può facilmente intuire da quanto finora detto, le consuete tecniche di sintesi del regolatore, concepite per sistemi a tempo continuo, non possono essere applicate direttamente al controllo digitale, caratterizzato da segnali discreti nel tempo. Questo non vuol dire, però, che le tecniche per i sistemi continui, che spesso sono caratterizzate da una particolare semplicità, non possano essere “riciclate” nel campo discreto, a patto, però, che si conoscano e si possano in qualche modo “dominare” gli effetti di una tale operazione. Si definiscono metodi di “sintesi approssimata nel continuo” quelli che fanno uso di particolari trasformazioni di regolatori progettati per il processo continuo. In questo caso, il controllore discreto, con il campionatore e il l’interpolatore, viene assimilato ad un sistema a tempo continuo. Altrimenti, nel caso si voglia trattare il problema direttamente nel discreto, si considerano l’interpolatore ed il campionatore come appartenenti al processo, il quale perciò, dal punto di vista ingresso-uscita risulta a tempo discreto. In questo caso il controllore viene realizzato utilizzando tecniche dette di “sintesi esatta”. Un esempio sintesi esatta lo si è già visto durante il corso di Teoria dei Sistemi, in cui un sistema continuo, con uno zero-holder anteposto all’ingresso, viene discretizzato, ovvero se ne valuta l’equazione matriciale alle differenze che regola il comportamento nel tempo (discreto) di stati e uscite (si veda fig.1.11). La sintesi del controllore, in questo caso, consiste nella determinazione della matrice di guadagni con cui retroazionare gli stati (discreti).

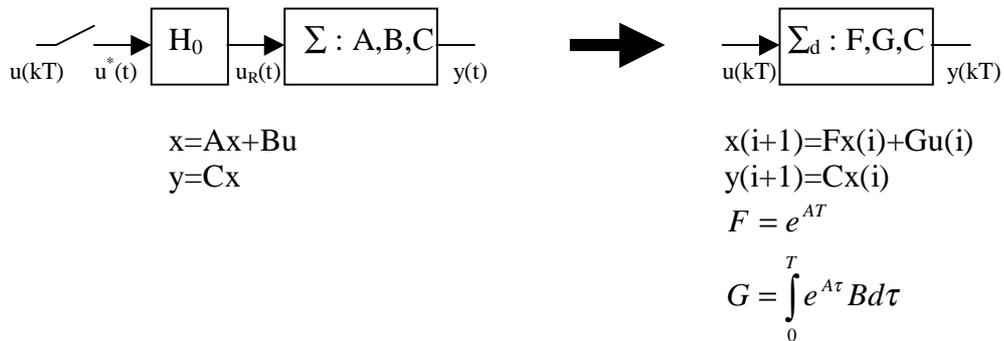


Fig.1.11

Questa, ovviamente, non è l’unica tecnica con cui affrontare la sintesi nel discreto, ma una trattazione completa va ben al di là degli scopi del corso e si rimanda perciò al corso di Elettronica Industriale e ai testi di Controllo Digitale menzionati in bibliografia.

Ritornando perciò alla sintesi approssimata nel continuo, si può dire che l’obiettivo è di far replicare al sistema discreto (interfacciato a quello continuo mediante campionatore ed holder) le funzioni di quello continuo nel modo più fedele possibile. Per ottenere questo, si utilizzano in genere alcuni dei metodi per la risoluzione numerica delle equazioni differenziali. Si deve tener conto, però, che il regolatore continuo che si va a progettare deve tenere conto degli effetti dei dispositivi di interfaccia, in particolare dell’holder. Come visto prima, infatti, l’holder introduce una variazione del modulo e della fase. Se la frequenza di campionamento è molto più elevata rispetto alle frequenze dei segnali in gioco nel sistema, l’holder può

essere ridotto ad un elemento di ritardo di durata $T/2$, come riportato in fig.1.12. Tale ritardo, che nella realtà è dovuto al regolatore digitale, nella sintesi approssimata viene “imputato” al processo da controllare, che avrà perciò un valore dello sfasamento introdotto inferiore a quello del processo originario. Per questo processo modificato, poi, si va a progettare il compensatore continuo $G(s)$, che andrà poi discretizzato con le tecniche che vedremo in seguito.

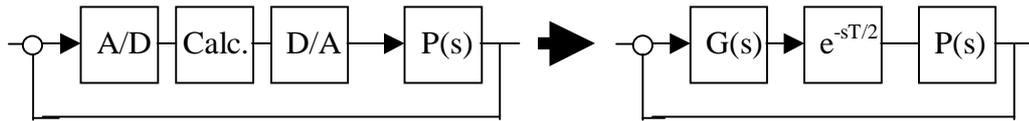


Fig.1.12

E' importante sottolineare come la “sintesi approssimata nel continuo”, proprio perché “approssimata”, produca un SdC digitale NON MIGLIORE del corrispondente continuo.

1.3.7 Breve richiamo sulla applicazione della trasformata zeta allo studio dei SdC digitali

Si ritiene utile, a questo punto, richiamare brevemente la definizione di trasformate zeta, che si rivelerà un utile strumento per trattare i sistemi discreti, in modo analogo a quanto avviene nei sistemi continui con la trasformata di Laplace. Data la successione causale $\{y(k)\}$, $k=0,1,\dots,\infty$ la trasformata zeta di tale successione si definisce come :

$$Z[y(k)] = Y(z) = \sum_{k=0}^{\infty} y(k)z^{-k} \quad (1.7)$$

In generale, una sequenza discreta causale può avere o meno una trasformata zeta, e ciò dipende dall'esistenza o meno di una regione di convergenza per la serie definita in (1.7). Dal momento che la convergenza assoluta di una serie complessa è assicurata se viene soddisfatto il principio D'Alambert, ovvero se per la generica serie complessa $\sum_0^{\infty} g(k)$ vale:

$$\lim_{k \rightarrow \infty} \left| \frac{g(k+1)}{g(k)} \right| < 1$$

Riportandoci alla definizione (1.7), si può quindi valutarne la regione di convergenza nel modo seguente:

$$\lim_{k \rightarrow \infty} \left| \frac{g(k+1)}{g(k)} \right| = \lim_{k \rightarrow \infty} \left| \frac{y(k+1)z^{-k-1}}{y(k)z^{-k}} \right| = z^{-1} \lim_{k \rightarrow \infty} \left| \frac{y(k+1)}{y(k)} \right| < 1$$

da cui si ricava che la convergenza è assicurata se:

$$|z| > \lim_{k \rightarrow \infty} \left| \frac{y(k+1)}{y(k)} \right| = R_-$$

Dalla definizione di trasformata zeta si deduce che essa è lineare, ovvero:

$$Z[c_1 s_1(k) + c_2 s_2(k)] = c_1 S_1(z) + c_2 S_2(z)$$

Fra le proprietà più importanti in questo ambito, si ricorda il ritardo di n passi:

$$Z[y(k-n)] = z^{-n} Y(z) \quad (1.8)$$

Lo strumento numerico indispensabile per l'implementazione degli SdC su calcolatore è l'equazione alle differenze, dalla quale si risale facilmente alla funzione di trasferimento discreta (in z): modello matematico della risposta ad impulso (nel discreto) in assenza di evoluzione libera (condizioni iniziali nulle):

$$y(k) = \sum_{i=1}^n a_i y(k-i) + \sum_{j=0}^m b_j u(k-j) \quad (1.9)$$

z-trasformando :

$$Y(z) = \sum_{i=1}^n a_i z^{-i} Y(z) + \sum_{j=0}^m b_j z^{-j} U(z) \quad (1.10)$$

da cui si risale alla f.d.t. discreta :

$$W(z) = \frac{Y(z)}{U(z)} = \frac{\sum_{j=0}^m b_j z^{-j}}{1 - \sum_{i=1}^n a_i z^{-i}} \quad (1.11)$$

Per quanto riguarda la proprietà di stabilità BIBO di un sistema, se la condizione sui poli della f.d.t. continua (L-trasformata) era l'appartenenza al semipiano (complesso) $\Re(s) < 0$, poiché tale sottospazio viene mappato dalla trasformata-z nel cerchio di raggio unitario e centro l'origine $|z| < 1$, la condizione corrispondente in z sarà l'appartenenza degli zeri del denominatore a tale cerchio.

1.3.8 I metodi di discretizzazione di un sistema continuo e loro applicazione a G(s)

Dopo aver "isolato" il fattore ritardante $e^{-sT/2}$ e aver progettato il regolatore continuo G(s), si passa alla discretizzazione di quest'ultimo, onde ricavare una opportuna equazione alle differenze da fornire al calcolatore per la risoluzione numerica.

I metodi numerici di risoluzione di un sistema di equazioni differenziali (continuo), si basano sulla approssimazione dell'integrale e sono sostanzialmente tre:

- *EULERO*
- *TRAPEZOIDALE*

Il metodo di Eulero esegue l'approssimazione dell'integrale mediante rettangoli aventi "base" sufficientemente piccola e "altezza" pari al valore assunto dalla funzione integranda :

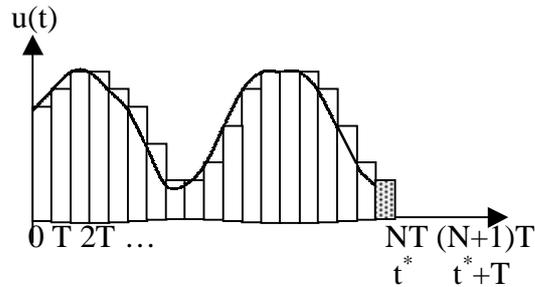


Fig.1.13

L'integrale sarà approssimato da una sommatoria delle aree dei singoli rettangolini :

$$\int_0^{t^*} u(t) dt \cong \sum_{k=0}^{N-1} u(kT)T \quad (1.12)$$

Ponendo :

$$y(t) = \int_0^t u(\tau) d\tau \quad (1.13)$$

la versione discreta, posta in forma "ricorsiva" è :

$$\underbrace{y(NT)}_{y(N)} = \underbrace{y((N-1)T)}_{y(N-1)} + \underbrace{u(NT)T}_{u(N)} \cong \int_0^{t^*} u(t) dt + \int_{t^*}^{t^*+T} u(t) dt = \int_0^{t^*+T} u(t) dt \quad (1.14)$$

Applicando la trasformata Zeta al secondo membro si ottiene :

$$\begin{aligned} Y(z) &= z^{-1}Y(z) + U(z)T \\ \Rightarrow Y(z) &= \frac{T}{1-z^{-1}}U(z) \end{aligned} \quad (1.15)$$

Inoltre, è risaputo che l'operatore di Laplace corrispondente all'integrazione del tempo è il fattore 1/s, quindi :

$$Y(s) = \frac{1}{s}U(s) \quad (1.16)$$

Dalla 1.15 e dalla 1.16 si ottiene :

$$(1.17)$$

$$s = \frac{1 - z^{-1}}{T}$$

Il significato di quest'ultima è evidente : data la f.d.t. in s , per ricavare la versione discreta in z (approssimata) basta sostituire ad s la 1.17 :

$$G(z) = G(s) \Big|_{s=\frac{1-z^{-1}}{T}} \quad (1.18)$$

Un polo p_s della $G(s)$ si mappa in un polo p_z della $G(z)$:

$$p_z = \frac{1}{1 - p_s T} \quad (1.19)$$

si dimostrari per esercizio che se p_s è nel semipiano sinistro (stabile), p_z ha modulo inferiore a 1 (quindi il modo relativo è ancora stabile)

Il procedimento di Integrazione Trapezoidale utilizza dei *trapezi* per approssimare l'area sottesa dalla funzione integranda :

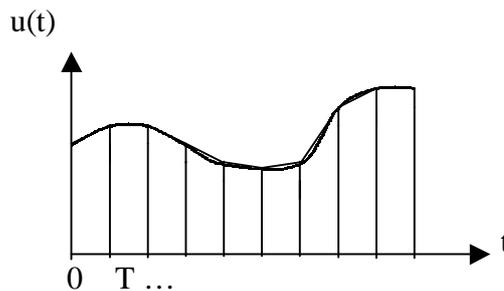


Fig.1.14

Facendo nuovamente ricorso alla 1.13 e quindi alla 1.14 si risale alla formulazione “ricorsiva” dell'integrazione approssimata trapezoidale :

$$y(kT) = y((k-1)T) + \frac{T}{2} (u(kT) + u((k-1)T)) \quad (1.20)$$

da cui, analogamente alla dimostrazione precedente, effettuando la trasformata zeta :

$$Y(z) = \frac{T}{2} \frac{1+z^{-1}}{1-z^{-1}} U(z) \quad (1.21)$$

Confrontando questa con la 1.2.11 si ottiene la seguente corrispondenza :

$$s = \frac{2}{T} \frac{1 - z^{-1}}{1 + z^{-1}} \quad (1.22)$$

da cui si deduce :

$$G(z) = G(s) \Big|_{s=\frac{2}{T} \frac{1-z^{-1}}{1+z^{-1}}} \quad (1.23)$$

Un polo p_s nel continuo, viene mappato in un polo p_z nel discreto :

$$p_z = \frac{1 + p_s \frac{T}{2}}{1 - p_s \frac{T}{2}}$$

anche in questo caso si può dimostrare che se p_s è stabile, lo è pure p_z .

1.3.9 Osservazioni sulla scelta del periodo T_s di campionamento

Il Teorema di Shannon sul campionamento di un segnale continuo a banda rigorosamente limitata, pone un limite inferiore invalicabile alla frequenza f_s di campionamento (sampling): detta B (in Hz) la banda del segnale da discretizzare, dovrà essere $f_s \geq 2B$, al fine di evitare l' indesiderato fenomeno di aliasing.

In realtà, nella progettazione degli SdC digitali si preferisce adottare un altro criterio di scelta della f_s , basato più sulla osservazione dell'andamento temporale della risposta a gradino del sistema che non sulla risposta in frequenza. In sostanza, il progettista opta per un periodo T_s di campionamento sufficientemente piccolo in modo da garantire una "risoluzione" che eviti la perdita delle variazioni significative del segnale. Generalmente, per sistemi di ordine 1 si eseguiranno 10 campioni nell'intervallo temporale corrispondente al tratto di salita della risposta (dal 10% al 90% dell'ampiezza finale) mentre per sistemi del 2° ordine si passa a 10÷20 campioni nel tratto di salita.

Può apparire intuitiva inoltre l'inevitabile presenza di un limite superiore "tecnico-pratico" alla f_s , dovuto agli inevitabili ritardi che caratterizzano tutte le operazioni di signal-processing: si dovrà optare per un periodo di campionamento T_s grande a sufficienza da consentire lo svolgimento delle operazioni di conversione A/D, di elaborazione numerica, di riconversione D/A relativamente ad ogni "campione" del segnale di ingresso :

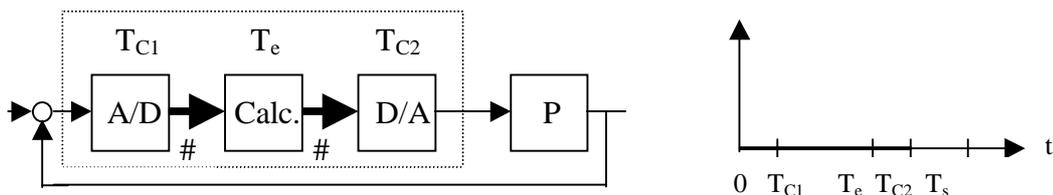


Fig.1.15

$$T_{rit} = T_{C1} + T_e + T_{C2} < T_s \quad (1.25)$$

Esiste un'altra limitazione superiore, questa volta meno intuitiva, di natura "teorica", ma non meno importante della precedente, da ricercarsi nei metodi di discretizzazione approssimata mediante rettangoli e trapezi.

Riprendendo le 1.19 e 1.24 che esprimono la mappatura dei poli in s nei corrispondenti in z , si nota come passando al limite per $T \rightarrow 0$ il polo p_z nel discreto tenda a 1, portando il SdC ad avvicinarsi al limite della stabilità BIBO (circonferenza di raggio unitario con centro l'origine) :

$$\lim_{T \rightarrow 0} p_z(T, p_s) = 1 \quad (1.26)$$